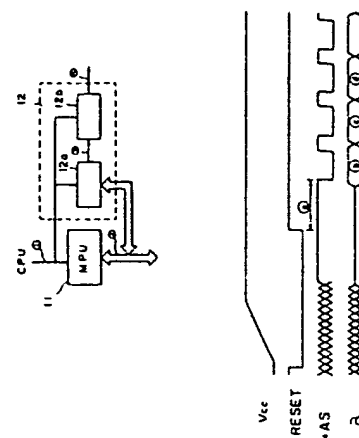


(54) INITIAL DIAGNOSTIC SYSTEM

(11) 2-16641 (A) (43) 19.1.1990 (19) JP
 (21) Appl. No. 63-165809 (22) 5.7.1988
 (71) FUJITSU LTD (72) KIKUMA KONDOU
 (51) Int. Cl.³ G06F11/22

PURPOSE: To monitor the fault of a microprocessor itself by using a specific signal used for a initial diagnosis by providing a processor monitoring means which monitors the operation of the microprocessor based on the specific signal used for the initial diagnosis after the microprocessor is released from a rest state.

CONSTITUTION: The microprocessor (MPU) 11 of an initial diagnosing system is released from a reset state when RESET signal changes to "H" after the signal once becomes "L" on a bus signal line ① after a supply voltage Vcc is applied to the MPU 11. Then the LSI constitution the MPU 11 is actuated after internal actuating time (a) and the RESET signal is simultaneously inputted to an address discrimination and timer circuits 12a and 12b. When the MPU 11 is actuated, an address strobe signal AS becomes "L" and access is performed. Then fetching operations by which a specific address is read out from a reset vector area and fetched to the stack pointer SP of the MPU 11 are performed and the address of the bus cycle is recognized in the beginning of the initial diagnosis.



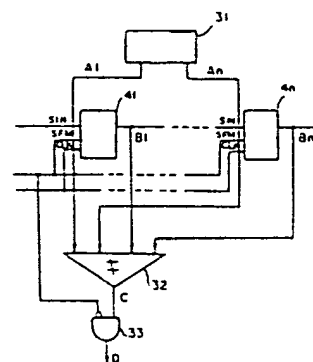
2: MPU monitoring means, a: bus cycle

(54) DIAGNOSTIC CIRCUIT FOR INFORMATION PROCESSOR

(11) 2-16642 (A) (43) 19.1.1990 (19) JP
 (21) Appl. No. 63-165841 (22) 5.7.1988
 (71) NEC CORP (72) MAKOTO OGIWARA
 (51) Int. Cl.³ G06F11/28

PURPOSE: To execute data processing and data diagnoses in parallel at each n-bit FF so as to improve the processing efficiency of the title circuit by providing the n-bit FFs having shifting functions, a check data generation circuit which outputs check data, and comparator circuit which compares the check data with outputs of the FFs.

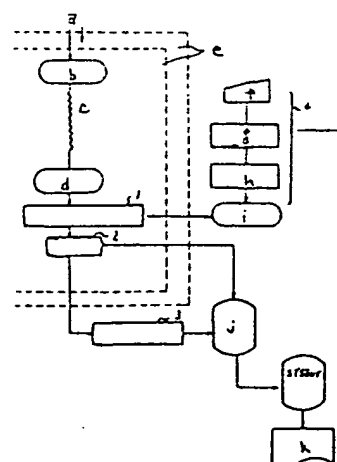
CONSTITUTION: Outputs of n-bit FFs 41-4n having shifting functions and scan-input data are connected in series and n-bit data A1-An generated by a check data generation circuit 31 are compared with the outputs B1-Bn of each FF 41-4n by means of a comparator 32. When the data A1-An do not coincide with the data B1-Bn, a disagreement signal C is outputted to an AND circuit 33. The circuit 33 takes the AND of the disagreement signal and discriminating signal of scan mode signals inputted to SFM terminals of the FFs 41-4n and outputs a scan error signal D. Thus data processing and data diagnoses are executed in parallel.

**(54) SYSTEM FOR CONTROLLING OUTPUT OF DEBUGGING INFORMATION**

(11) 2-16643 (A) (43) 19.1.1990 (19) JP
 (21) Appl. No. 63-168360 (22) 5.7.1988
 (71) NEC CORP (72) YOSHIKAZU KUSANO(1)
 (51) Int. Cl.³ G06F11/28

PURPOSE: To arrange and integrate debugging results of multiple processes so as to obtain a consistent debugging result by integrating transaction processing debugging information randomly registered by means of a registering means to series of transaction process debugging output information.

CONSTITUTION: At the time of transaction (TX) process debugging, a TX identifier is handed to a debugging information registering form discriminating means 1 from a debugging process. The means 1 retrieves a discriminating table, the content of which that is previously designated at the time of system preparation is dynamically updated by means of a dynamically changing means 4 by using the TX identifier and job identifier inputted from a console, by using the TX identifier as a key and obtains a relevant X. Then the means 1 adds the job identifier and a process number to the debugging information and actuates a registering means 2 being followed by the information. The means 2 performs automatic preparation of a sub-file and decides the destination of the sub-file based on the sub-file index of the TX. The means 2 then registers the debugging information in the destination and a TX unit retrieval coupling means 3 arranges and integrates debugging results.



a: input of TX, b: addition of TX identifier, c: TX processing, d: debugging information, e: each process (plural processes), f: console, g: input of TX and job identifiers, h: table

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平2-16642

⑬ Int. Cl.³

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)1月19日

G 06 F 11/22

3 6 0 P

7368-5B

審査請求 未請求 請求項の数 1 (全3頁)

⑮ 発明の名称 情報処理装置診断回路

⑯ 特 願 昭63-165841

⑰ 出 願 昭63(1988)7月5日

⑱ 発 明 者 荻 原 誠 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳ 代 理 人 弁理士 山川 政樹 外2名

明 細 書

1. 発明の名称

情報処理装置診断回路

2. 特許請求の範囲

情報処理装置におけるフリップフロップ群にシフト機能を持たせてスキャンパスを構成する情報処理装置診断回路において、

このスキャンパスを構成するフリップフロップ群に直列に接続されたnビットのシフト機能付フリップフロップと、チェックデータを出力するチェックデータ発生回路と、このチェックデータと前記シフト機能付フリップフロップの出力とを比較する比較回路とを備え、

nビットのチェックデータを負荷したスキャンデータのスキャンをシフト機能付フリップフロップの全てについて実行することにより、nビットのチェックデータを全スキャンパスに通し、スキャン動作実行後にチェックデータとシフト機能付フリップフロップの各出力データとを前記比較回路によって比較することにより、スキャンパス自

身の正常性を診断することを特徴とした情報処理装置診断回路。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は情報処理装置の診断に関し、特に診断回路のハードウェアについての自己診断に関するものである。

〔従来の技術〕

従来この種の診断回路には、診断回路自身を診断する機能は無く、診断回路を用いてフリップフロップにデータをセットし、セットしたデータを診断回路を用いて読み出し、セットデータと読み出しデータとを比較することにより診断を行っていた。

〔発明が解決しようとする課題〕

しかしながら、上述した従来の回路では、診断回路自身の診断を行う場合、診断回路を用いて1度データをセットした後にデータを取り出し、両データを比較診断するため、本来の診断回路によるデータを取り出すのに比べて2倍の時間が必要

となり、また、両データの比較を行わなければならないという課題を有していた。

(課題を解決するための手段)

本発明はこのような課題を解決するためになされたもので、シフト機能を有する n ビットのフリップフロップと、チェックデータを出力するチェックデータ発生回路と、このチェックデータとフリップフロップの出力とを比較する比較回路とを備えたものである。

(作用)

各フリップフロップへのデータセット処理およびこのセットデータと各フリップフロップの出力データとの比較処理とは並行して実行される。

(実施例)

次に本発明について図面を参照して以下に説明する。

第1図は本発明の一実施例を表すブロック図である。

同図において、 n ビットのシフト機能付フリップフロップ41~4nは、その出力とスキャンイ

ンデータとが直列に接続され、チェックデータ発生回路31で発生された n ビットのデータA1~Anと各フリップフロップ41~4nの出力B1~Bnとは比較器32によって比較される。この比較結果において発生データA1~Anと出力B1~Bnとが一致しない場合には、比較器32から不一致信号Cが出力される。この不一致信号Cは、AND回路33により、フリップフロップ41のSFM端子に入力されるスキャンモード信号の反転信号と論理積が取られ、スキャンエラー信号Dが出力される。

第2図は上記の第1図に示された n ビットのチェック回路を含むスキャンバスの構成を示す。

同図において、このチェック回路から構成されるチェック回路付フリップフロップ12を、スキャンバスの対象となる m ビットのシフト機能付フリップフロップ群11と直列に接続し、スキャン動作を行う手段により $(m+n)$ ビットのスキャンを行う。すなわち、スキャンイン時には、 n ビットのチェックデータ発生回路31で発生される

チェックデータと同一のデータと、 m ビット分のスキャンインされたデータとのスキャンインを実行することにより、スキャンアウト時には、 n ビットのチェックデータと m ビットのスキャンアウトデータとをスキャンインすることにより、 n ビットのチェックデータが全スキャンバスを通り、チェックデータと比較されてスキャンバス自身が診断される。

(発明の効果)

以上説明したように本発明は、シフト機能を有する n ビットのフリップフロップと、チェックデータを出力するチェックデータ発生回路と、このチェックデータとフリップフロップの出力とを比較する比較回路とを備えことにより、各フリップフロップへのデータセット処理およびこのセットデータと各フリップフロップの出力データとの比較処理とは並行して実行される。

このため、診断回路自身を診断する回路を持つことにより、診断回路を用いてフリップフロップに状態を取り出すと同時に診断回路を診断するこ

とが出来るという効果を有し、信頼性の向上を少ないスキャン動作で実行出来るという効果をも有する。

4. 図面の簡単な説明

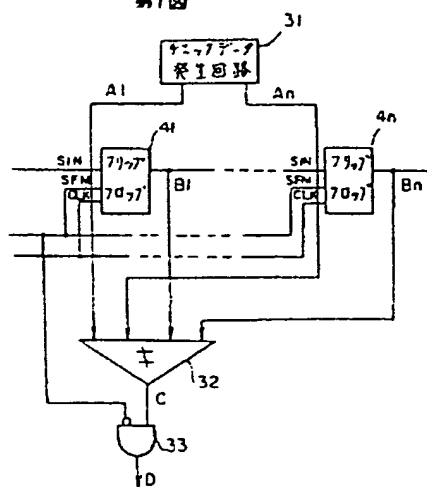
第1図は本発明の一実施例を表すブロック図、第2図は本発明の診断回路の構成を示す図である。

11・・・シフト機能付フリップフロップ群、
12・・・チェック回路付フリップフロップ、
31・・・チェックデータ発生回路、41~4n・・・ n ビットのシフト機能付フリップフロップ、
32・・・ n ビットの比較器、33・・・AND回路。

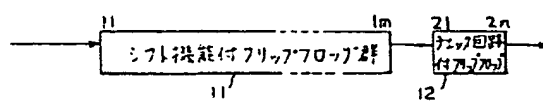
特許出願人 日本電気株式会社

代理人 山川政樹(ほか2名)

第1図



第2図



Particular of KOKAI (Laid-Open) Specification

12/2

Patent KOKAI (Laid-Open) No. 61-155878

Laid-Open Date: July 15, 1986

Patent Application No.: 60-287639

Application Date: December 20, 1985

Convention Priority: December 21, 1984

GB 8432533

Inventors: William Lorence et al.

Applicant: Plessey Overseas Limited

Title of Invention: An integrated circuit or an
improvement thereof

(Names of individuals and corporations have been
translated phonetically)